

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-126018

(43)Date of publication of application : 30.05.1988

(51)Int.Cl.

G06F 1/00
G06F 15/06

(21)Application number : 61-271847

(71)Applicant : HITACHI LTD
HITACHI MICRO COMPUT ENG LTD

(22)Date of filing : 17.11.1986

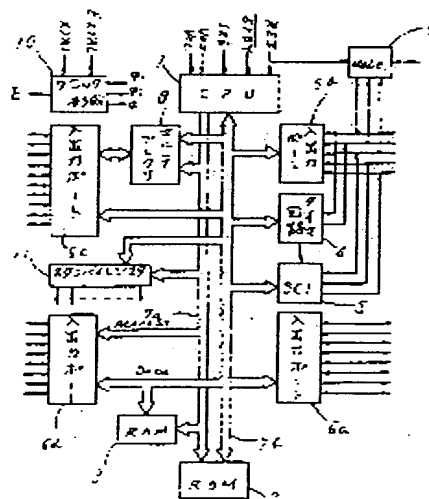
(72)Inventor : KIMURA MASAHIKO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To attain low power consumption by providing each function block in a single chip microcomputer with a clock supplying gate or a power supplying switch.

CONSTITUTION: A stand-by register 11 consisting of stand-by specification flags F1WF_n corresponding to peripheral circuits such as a timer circuit 4, a serial communication interface circuit 5 and I/O ports 6aW6d in the chip at the rate of 1 to 1 is formed. Specific addresses are assigned to the stand-by register 11, and when a CPU 1 specifies the address, a selection signal for specifying the register 11 is formed and the register 11 is specified to read out or write data from/in the register 11 through a data bus 7b. When the contents of respective flag bits F1WF_n of the register 11 are set up to '1', the peripheral circuits connected to the flags F1WF_n are held at an unactuated state and power or clock supply is interrupted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭63-126018

⑪ Int.Cl.⁴G 06 F 1/00
15/06

識別記号

3 3 2
3 2 0

庁内整理番号

7157-5B
P-7343-5B

⑬ 公開 昭和63年(1988)5月30日

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 昭61-271847

⑯ 出 願 昭61(1986)11月17日

⑰ 発 明 者 木 村 昌 彦 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社
東京都小平市上水本町1479番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

1. 複数の機能ブロックを有する半導体集積回路において、各機能ブロックに対応されたフラグ群からなるブロック指定手段を設け、このブロック指定手段により指定された機能ブロックの動作を停止させるように構成されてなることを特徴とする半導体集積回路。

2. 上記ブロック指定手段により指定された機能ブロックの動作停止は、その機能ブロックに対するクロック信号の供給を遮断することにより行うようにしたことを特徴とする特許請求の範囲第1項記載の半導体集積回路。

3. 上記ブロック指定手段により指定された機能ブロックの動作停止は、そのブロックに対する電源電圧の供給を遮断することにより行うようにしたことを特徴とする特許請求の範囲第1項記載の半導体集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体集積回路技術さらには多機能論理LSIに適用して特に有効な技術に関し、例えば複数の周辺回路を内蔵したシングチップ・マイクロコンピュータに利用して有効な技術に関する。

〔従来の技術〕

近年、マイクロコンピュータの高機能化に伴って、ROMやRAMのようなメモリの他、タイマ回路やシリアル通信回路、DMA(ダイレクト・メモリ・アクセス)コントローラ、A/D変換器等幾つもの周辺回路を内蔵したシングチップ・マイクロコンピュータ(以下、シングルチップマイコンと称する)が提供されるようになってきた。

〔発明が解決しようとする問題点〕

このような高機能シングルチップマイコンは非常に便利ではあるが、ユーザシステムによっては搭載された周辺回路をすべて必要とするものでなく、全く使用されない回路も生じてくる。

しかるに、従来のシングルチップマイコンでは、使用しない回路に対しては電源電圧やクロックを供給する構成にされていた。そのため、マイクロコンピュータの高機能化に伴って消費電力も増加するという不都合があった。

なお、CMOSマイコンの中には、例えば〔株〕日立製作所製シングルチップマイコンHD6301のようにスリープモードやスタンバイモードを有し、低消費電力モードが可能にされたものもある。（〔株〕日立製作所1982年9月発行、「SEMICONDUCTOR DATA BOOK 8/16ビットマイクロコンピュータ」第277頁参照）。

しかしながら、上記シングルチップマイコンにおけるスリープモードは、スリープ命令と呼ばれる命令によってMPU自身の動作を停止させるものであって、その間周辺回路は動作される。そのため、使用されない周辺回路があっても、そこでの消費電力が低減されるものではない。

一方、スタンバイモードは、 \overline{STBY} と称する

専用の制御端子をロウレベルに固定すると内部のクロックがすべて停止され、RAMへの電源の供給のみ継続させ他のすべての回路の動作を停止させることで低消費電力化を図るものである。従って、スタンバイモードでは、マイコンのすべての機能が停止してしまい、不用な回路の動作を停止させることはできない。また、上記スタンバイモードでは、内部のクロックを停止させているので、CMOS以外の例えばNMOS型のマイコンに適用しても消費電力を減らすことはできない。

この発明の目的は、複数の周辺回路を内蔵したシングルチップマイコンの消費電力の低減を図ることにある。

この発明の他の目的は、CMOSマイコン以外のシングルチップマイコンにおいても消費電力を低減できるようにすることにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、シングルチップマイコン内の各機能ブロックごとに、クロック供給ゲートもしくは電源供給スイッチを設けておくと共に、上記各機能ブロックに1対1対応されたフラグビットからなり命令によって書込み可能なレジスタを設け、このレジスタの各ビットの状態信号によって上記クロック供給ゲートもしくは電源供給スイッチを切換え動作させるようにするものである。

〔作用〕

上記した手段によれば、シングルチップマイコン内の使用しない機能ブロックもしくは周辺回路をレジスタによって指定してやることで、指定されたブロックへのクロックもしくは電源の供給を遮断して動作を停止させることができるようにして、複数の周辺回路を内蔵したシングルチップマイコンの消費電力の低減を図ると共に、CMOSマイコン以外のシングルチップマイコンにおいても消費電力を低減できるようにするという上記目

的を達成することができる。

〔実施例〕

第1図は、本発明が適用されたシングルチップマイコンの一実施例を示すもので、同図に示されている各回路ブロックは、単結晶シリコン基板のような一個の半導体チップ上に形成される。

この実施例のシングルチップマイコンは、特に制限されないが、プログラムに従って内部の実行ユニット等を制御するマイクロプロセッサ（以下CPUと称する）1と、このCPU1の動作プログラム等が格納されたプログラムROM2、主にCPU1の作業領域を提供するRAM（ランダム・アクセス・メモリ）3、リロードタイマもしくはフリーランニングカウンタやインプットキャプチャレジスタおよびアウトプットコンペアレジスタを有するプログラマブルタイマ等からなるタイマ回路4、外部の装置との間でシリアル通信を行うシリアル・コミュニケーション・インタフェース回路5およびパラレル入出力ポート6a～6d等から構成され、これらの回路は内部アドレスバス

7aおよび内部データバス7bを介して互いに接続されている。

上記CPU1は、特に制限されないが、次に読み出す命令やデータのアドレスを保持するプログラムカウンタ、プログラムの命令が順番にフェッチされる命令レジスタ、マイクロプログラムが格納されたマイクロROMもしくはランダム・ロジック回路からなり命令レジスタにフェッチされた命令に応じた制御信号を形成する制御部と、アキュムレータ等の各種レジスタやALU（演算論理ユニット）等からなる実行ユニットとによって構成されている。

上記入出力ポート6a～6dのうち、ポート6dにはアドレスバス7aとデータバス7bが接続され、ポート6cにはマルチプレクサ8を介してアドレスバス7aとデータバス7bが接続可能にされている。また、適当な外部端子を所定の状態に設定することにより、マイコンのリセット後の動作モードを決定するモード切換回路9が設けられており、このモード設定回路9から出力される

モード切換え信号によって、上記入出力ポート6dは、データ入出力機能もしくはアドレス出力機能を有するポートとして働き、また、ポート6cはデータ入出力機能もしくはデータバスとアドレスバスをマルチプレックスする機能を有するポートとして働くようにされる。

これによって、この実施例のシングルチップマイコンは、アドレス空間が拡張可能にされている。

なお、第1図において符号10で示されているのは、外付けの水晶振動子からの発振信号（もしくは外部から供給されるクロックCLK）を分周して、内部のシステムクロック ϕ_1 、 ϕ_2 、 ϕ や外部にも出力される同期信号E等を形成するクロック形成回路である。

そして、この実施例では、チップ内のタイマ回路4やシリアル・コミュニケーション・インタフェース回路5、入出力ポート6a～6d等の周辺回路に1対1で対応されたスタンバイ指定フラグ $F_1 \sim F_n$ からなるスタンバイ・レジスタ11が設けられている。このフラグ $F_1 \sim F_n$ は、スタ

ティックもしくはダイナミック型のフリップフロップで構成されている。そして、このスタンバイ・レジスタ11には、タイマや入出力ポート内のステータスレジスタやコントロールレジスタと同様に特定のアドレスが割り付けられており、CPU1がそのアドレスを出力すると、第2図に示すようにデコーダ12によってデコードされ、スタンバイ・レジスタ11を指定する選択信号SELが形成されてレジスタ11が指定され、データバス7bを介して読出しまたは書き込みを行うことができるようにされている。読出しまたは書き込みの指定は、CPU1から供給されるリードライト制御信号R/Wに基づいて行う。ただし、このスタンバイ・レジスタ11は、CPU1から見て書き込み専用のレジスタとすることができる。

さらに、スタンバイ・レジスタ11の各フラグビット $F_1 \sim F_n$ の内容は、第2図に示すように状態信号としてNANDゲート $G_1 \sim G_n$ に入力されている。NANDゲート $G_1 \sim G_n$ の他方の入力端子には、CPU1から供給される制御信号

stが共通に入力されており、チップに設けられた専用の制御端子STBYがロウレベルにされると、上記制御信号stがハイレベルにされ、NANDゲート $G_1 \sim G_n$ のうちスタンバイ・レジスタ11内の“1”がセットされているフラグに対するゲートの出力のみロウレベルに変化される。そして、これらのNANDゲート $G_1 \sim G_n$ の出力信号がチップ内部のタイマ回路4等の周辺回路PFR $_1 \sim PFR_n$ に対して、内部スタンバイ信号stby $_1 \sim stby_n$ として供給される。ハイレベルの内部スタンバイ信号が供給された周辺回路では、その動作が一切停止されるようにされている。

従って、シングルチップマイコン内に使用しない周辺回路があれば、システムの立上り時にプログラムによってスタンバイ・レジスタ11内の対応するフラグに“1”を立て、外部端子STBYをロウレベルに落してやる。すると、スタンバイ・レジスタ11により指定された周辺回路は、全く動作しなくなり、その分消費電力が低減される。

この実施例ではシステムの動作中、端子 \overline{STBY} をロウレベルに落してやることにより、いつでも所望の周辺回路の動作を停止させることができるようになっているが、システムによっては最初から使用しない周辺回路がわかっていることが多いので、その場合には最初から外部端子 \overline{STBY} を接地電位に接続しておけばよい。

さらに、外部からそのような制御信号 \overline{STBY} を与える代わりに、内部の制御信号 st の信号線を電源電圧 V_{cc} に接続するか、あるいはスタンバイ・レジスタ11の各フラグ $F_1 \sim F_n$ の状態信号そのものを各周辺回路 $PFR_1 \sim PFR_n$ に対する内部スタンバイ信号 $stby$ とするように構成してもよい。

内部スタンバイ信号 $stby$ による各周辺回路の動作停止方法としては、例えば各回路に供給されるクロックの供給を遮断する方法と、電源の供給を遮断する方法とが考えられる。

第3図には、一例としてタイマ回路4およびリアル・コミュニケーション・インタフェース回

路5における具体的な動作停止手段の構成が示されている。

タイマ回路4は、クロック発生回路10から供給されるクロック ϕ_1 を計数するフリーランニングカウンタ41と、外部入力信号 Tin が変化したときのカウンタ41のカウント値を取り込んで保持するインプット・キャプチャ・レジスタ42と、カウント値がインプット・キャプチャ・レジスタ42に転送されたことを示すフラグやカウンタ41の値が「0000」になったことを示すフラグ等からなるステータス・レジスタ43を有している。ステータス・レジスタ43内の所定のフラグが“1”にセットされると、ゲート G_{17} を介してCPU1に割込み信号 IRQ が送られる。

また、上記レジスタ42、43やカウンタ41は内部バス7に接続されており、CPU1によってリード/ライトが行えるようになっている。

この実施例では、前記NANDゲート $G_1 \sim G_n$ から出力される内部スタンバイ信号 $stby$ がロウレベルにされると、ANDゲート $G_{11} \sim G_{14}$ 、

が閉じられてクロック発生回路9から出力された内部クロック ϕ_1 、 ϕ_2 、 ϕ_3 、 ϕ_4 のタイマ回路4への供給が遮断されて、カウンタ41やレジスタ42、43の動作が停止される。これとともに、クロックド・インバータからなるゲート G_{15} や G_{16} が閉じられて、外部からの入力信号 Tin のインプット・キャプチャ・レジスタ42への取込みおよびステータス・レジスタ43からCPU1に対する割込み信号 IRQ の伝送が遮断される。また、タイマ回路4に対するスタンバイ信号 $stby$ がロウレベルになるとMOSスイッチ S_1 、 S_2 がオンされる。これによって、インプット・キャプチャ・レジスタ42への入力信号はロウレベルに固定され、レジスタ42内のノードがフローティング状態になって次段のCMOSインバータ等に貫通電流が流れるのが防止される。また、スイッチ S_2 がオンされると、割込み信号の伝送ライン ℓ がハイレベルにプルアップされる。これによって、CPU1に対して誤ってロウレベルの割込み信号 IRQ が送られるのが防止される。

プログラマブルタイマでは、第3図に示すフリーランニング・カウンタ41やインプットキャプチャ・レジスタ42、ステータス・レジスタ43以外に、例えば出力波形の制御等に使用されるアウトプット・コンペア・レジスタやコンパレータが設けられることがある。その場合、それらの回路ブロックについても、タイマに対する内部スタンバイ信号 $stby$ がロウレベルにされると、クロックの供給が遮断されるようにされる。

一方、第3図に示されているリアル・コミュニケーション・インタフェース回路5では、これに供給される内部スタンバイ信号 $stby$ がロウレベルにされると、回路内部に引き廻された各種レジスタに対し電源電圧を供給する V_{cc} ライン20と、電源電圧端子 V_{cc} との間に接続されたMOSスイッチ S_3 をオフさせる。これによって、受信シフトレジスタ51や送信シフトレジスタ52等に電源電圧が供給されなくなって、回路全体の動作が停止される。

このように、電源電圧の供給を遮断することに

より回路の動作を停止させる方法は、回路がNチャンネル形MOSFETのみで構成されている場合に有効である。

上記シリアル・コミュニケーション・インタフェース回路5内の受信シフトレジスタ51は、外部から送られてきたシリアル入力データSDiを取り込んで、クロック形成回路10から供給されるクロックφ（もしくは外部から供給されるクロック）に同期してシフトさせる。そして、シフトレジスタ51が入力データで一杯になると、一旦受信データレジスタ53へパラレルに転送されてから、内部バス7を介してCPU1により読み込まれる。

一方、シリアルデータの送信の際には、先ずCPU1によって内部バス7を介して、送信するデータを例えば1バイト単位で送信データレジスタ52へ転送し、クロックφに同期してシフトさせることにより、シリアル出力データSDoに変換して外部へ出力させるように構成されている。

なお、シリアル・コミュニケーション・インタ

フェース回路5内には上記レジスタ51～54の他にも、例えばコントロール・レジスタやステータス・レジスタが設けられており、スタンバイ信号stbyがロウレベルにされるとそれらのレジスタへの電源電圧の供給も遮断されるようになっている。

また、上記実施例では、周辺回路の動作を停止させるか否か指定するフリップフロップ型フラグからなるスタンバイ・レジスタ11を設けたものについて説明したが、プログラムROM2がEPROMもしくはEEPROMにより構成されたシングルチップマイコンでは、スタンバイ・レジスタ11の各ビットをROMのメモリセルと同じ不揮発性記憶素子で構成し、予め使用しない周辺回路に対応するフラグビットに対しては書き込みを行っておくようにしてもよい。

さらに、実施例のシングルチップマイコンには、周辺回路としてプログラマブルタイマ回路4、シリアル・コミュニケーション・インタフェース回路5および入出力ポート6a～6dが搭載されている。

以上説明したように上記実施例は、シングルチップマイコン内の各機能ブロックごとにクロック供給ゲートもしくは電源供給スイッチを設けておくと共に、上記各機能ブロックに1対1対応されたフラグビットからなり命令によって書き込み可能なレジスタを設け、このレジスタの各ビットの状態信号によって上記クロック供給ゲートもしくは電源供給スイッチを切換え動作させるようにしたので、シングルチップマイコン内の使用しない機能ブロックもしくは周辺回路をレジスタによって指定してやることで指定されたブロックへのクロックもしくは電源の供給を遮断して動作を停止させることができるという作用により、複数の周辺回路を内蔵したシングルチップマイコンの消費電力を低減させることができると共に、CMOSマイコン以外のシングルチップマイコンにおいても消費電力を低減できるようになるという効果がある。

以上説明したように上記実施例は、シングルチップマイコン内の各機能ブロックごとにクロック供給ゲートもしくは電源供給スイッチを設けておくと共に、上記各機能ブロックに1対1対応されたフラグビットからなり命令によって書き込み可能なレジスタを設け、このレジスタの各ビットの状態信号によって上記クロック供給ゲートもしくは電源供給スイッチを切換え動作させるようにしたので、シングルチップマイコン内の使用しない機能ブロックもしくは周辺回路をレジスタによって指定してやることで指定されたブロックへのクロックもしくは電源の供給を遮断して動作を停止させることができるという作用により、複数の周辺回路を内蔵したシングルチップマイコンの消費電力を低減させることができると共に、CMOSマイコン以外のシングルチップマイコンにおいても消費電力を低減できるようになるという効果がある。

また、上記実施例では、各周辺回路に1対1で対応されたフラグビットからなるスタンバイ・レジスタ11を設けて、周辺回路ごとに動作を停止させるか否か指定するようになっているが、各周辺回路単位でなく、周辺回路内が複数の機能ブロックに分類可能な場合、各機能ブロック単位で1対1対応されたフラグビットからなるスタンバイ・レジスタを設けて、動作を停止させるか否か指定できるように構成してもよい。例えば、タイマ回路を例にとると、インプット・キャプチャ・レジスタに関する動作のみ使用し、アウトプット・コンペア・レジスタに関連する動作は使用しないようなシステムでは、タイマ回路内の半分の回路のみ動作させ、他の半分の回路は内部スタンバイ信号で動作させないように構成することができる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例

に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば上記実施例における各周辺回路ごとの動作停止モードの他に、従来のシングルチップマイコンで行われている外部端子によるRAM以外の回路の動作を停止させるスタンバイモードや命令によりCPUの動作を停止させるスリープモードを組み合わせたことが可能であり、それによって更にシングルチップマイコンの消費電力を減らすことができる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるシングルチップマイコンに適用したものについて説明したがそれに限定されるものでなく、ASIC (application specific integrated circuit) 対応のマイクロコンピュータや各種コントロールLSI、通信用LSIその他複数の機能ブロックからなり、システムに応じて使用しない機能を持つ半導体集積回路一般に利用することができる。

バス、7a……アドレスバス、7b……データバス、11……スタンバイ・レジスタ、12……デコーダ、51……送信用シフトレジスタ、52……受信用シフトレジスタ、F₁～F_n……フラグ。

代理人 弁理士 小川 勝男



〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、複数の周辺回路を内蔵したシングルチップマイコンの消費電力を低減させることができるとともに、CMOSマイコン以外のシングルチップマイコンにおいても消費電力を低減させることができるようになる。

4. 図面の簡単な説明

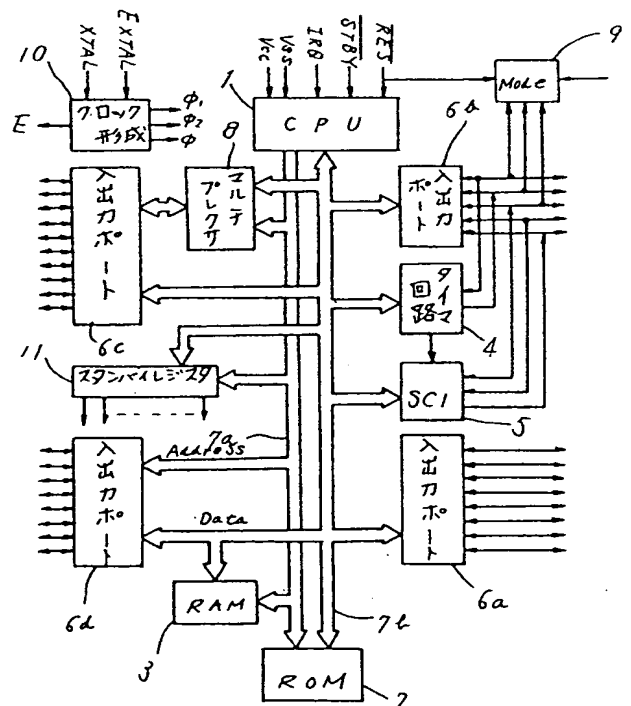
第1図は本発明に係るシングルチップマイコン全体の構成例を示すブロック図。

第2図はその要部の構成の一実施例を示すブロック図。

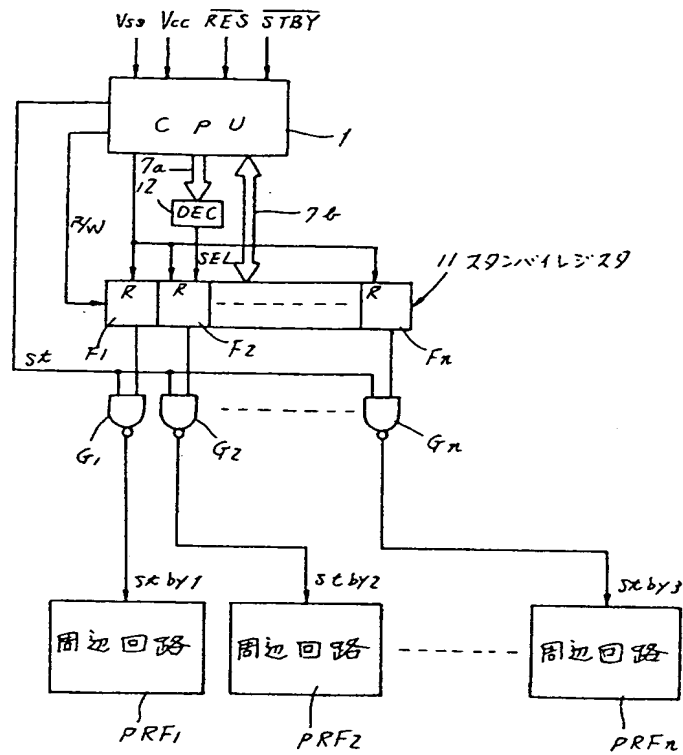
第3図は本発明に係るシングルチップマイコンのタイマ回路およびシリアル・コミュニケーション・インタフェース回路の構成例を示す回路図である。

4……タイマ回路、5……シリアル・コミュニケーション・インタフェース回路、7……内部

第 1 図



第 2 圖



第 3 题

